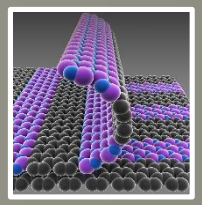
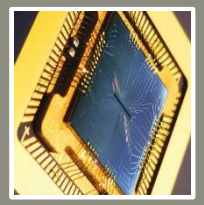
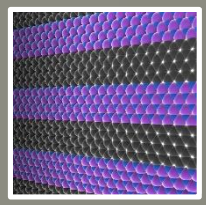




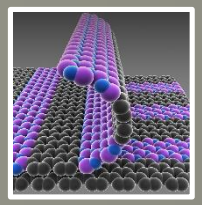
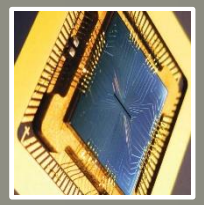
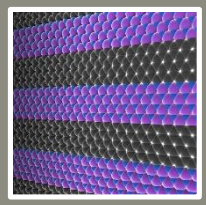
School of Engineering Emerging Technologies - University of Tabriz - Iran , September 2014

Design and Simulation of a Logic Multiplexer based on SWCNT-FET

by : Hamed Fooladvand

Supervised by : Dr. Abbasian

Advisor by : Dr. Hamed Baghban

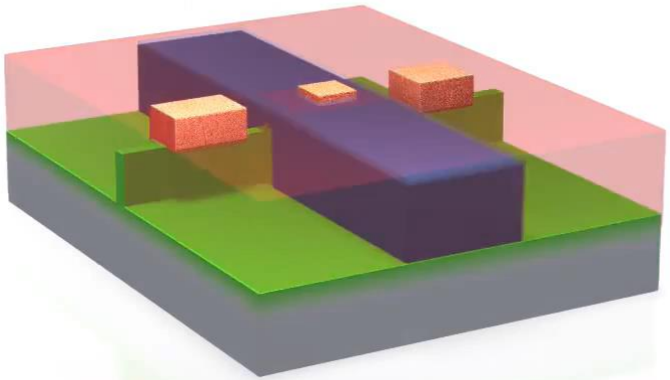
School of Engineering Emerging Technologies - University of Tabriz - Iran , September 2014

طراحی و شبیه سازی یک مدار مالتی پلکسر مبتنی بر ترانزیستور اثر میدان با کربن نانوتیوب تک جداره

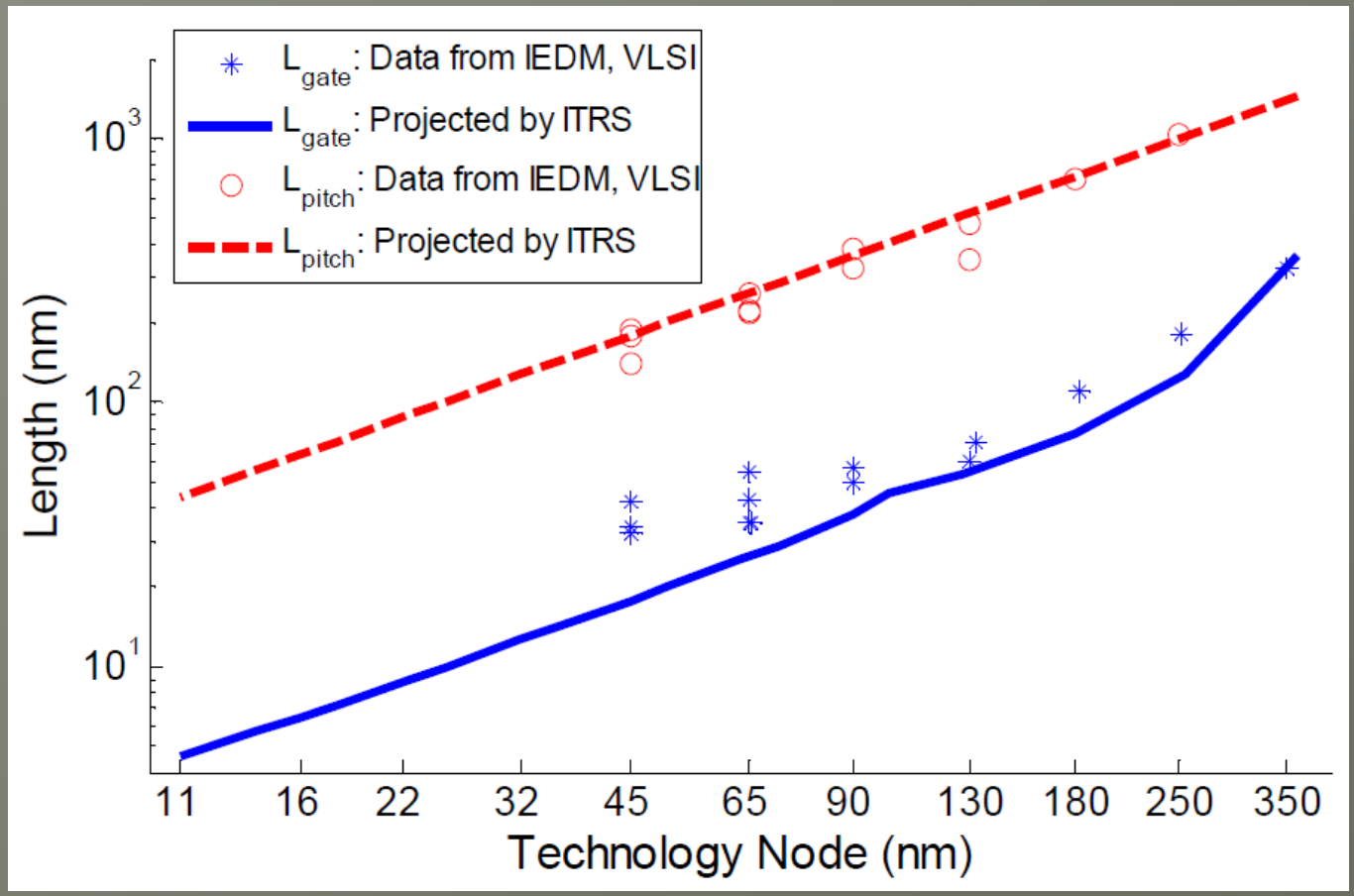
استاد راهنما : دکتر کریم عباسیان

استاد مشاور : دکتر حامد باغبان

پژوهشگر : حامد فولادوند



Technology Node (by ITRS)

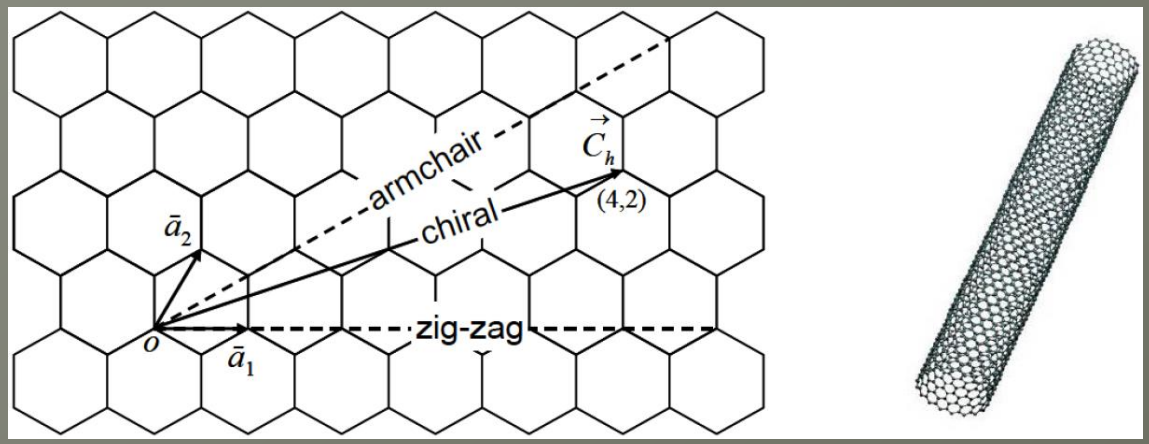


مشکلات ماسفت در مقیاس نانو
مسائل مربوط به توان
قابلیت اطمینان
افزایش هزینه ساخت
محدودیت های فیزیکی لیتوگرافی
اندازه ترانزیستور

ترانزیستورهای اثر میدان مبتنی بر نانو لوله های کربنی (CNTFETs)

الف) نانو لوله های کربنی (CNTs)

۱- آرمچیر : $n_1 = n_2$ ، ۲- زیگزاگ : $n_1=0$ یا $n_2=0$ ، ۳- کایرال : اعداد دیگر.

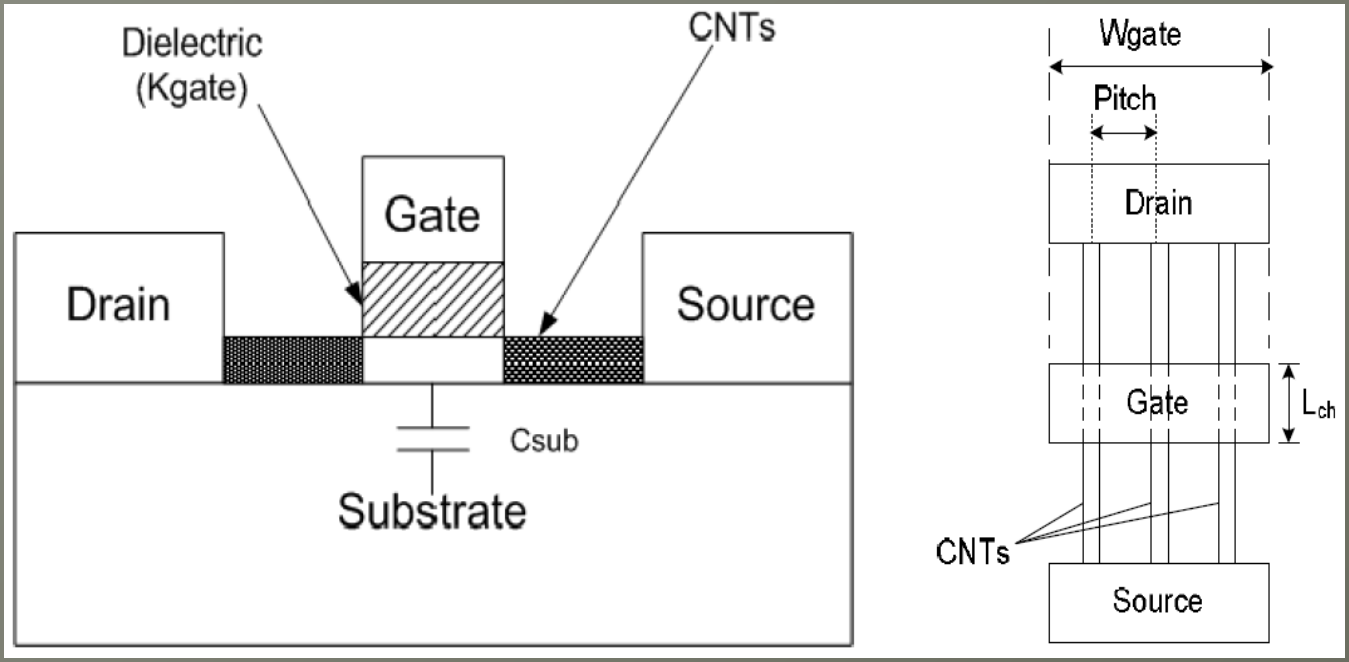


$$C_h = a\sqrt{n_1^2 + n_2^2 + n_1 n_2}$$

$$D_{CNT} = C_h / \pi$$

ترانزیستورهای اثر میدان مبتنی بر نانو لوله های کربنی (CNTFETs)

ب) CNTFETs



ترانزیستورهای اثر میدان مبتنی بر نانو لوله های کربنی (CNTFETs)

ب) CNTFETs

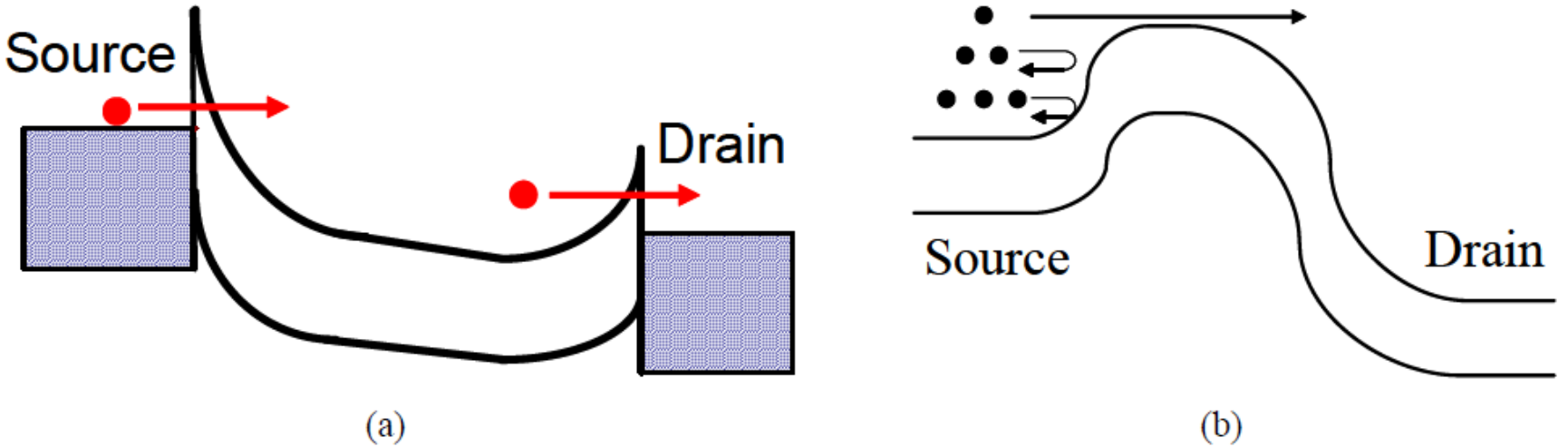


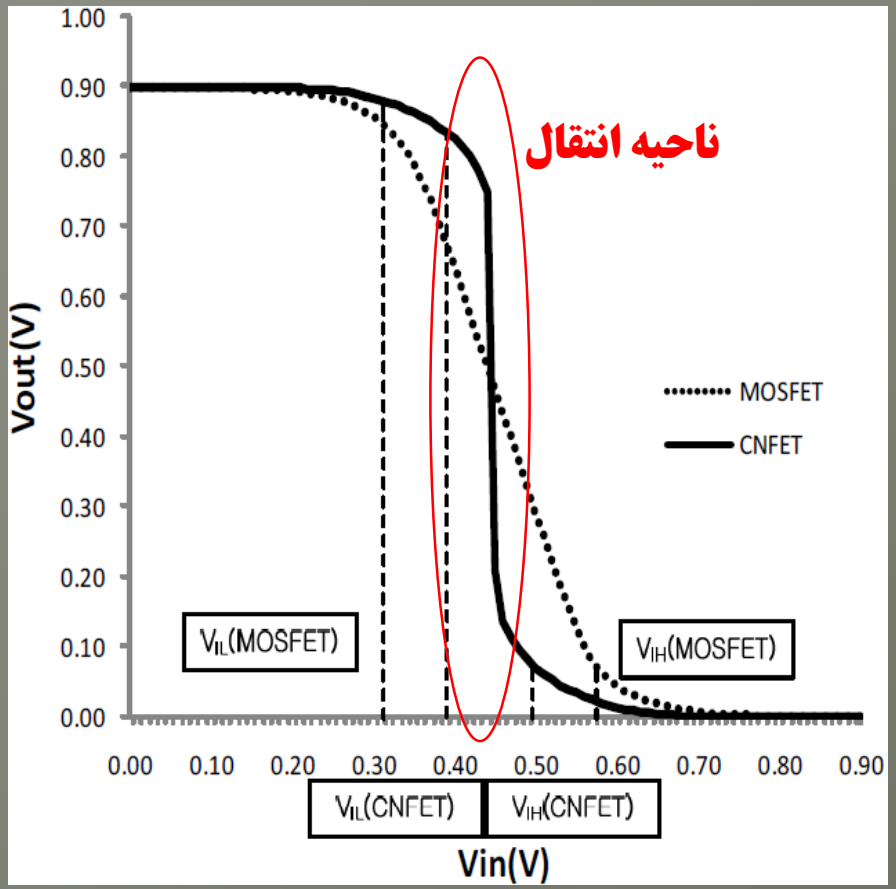
Figure 1.8: The energy band diagram for (a) SB-CNFET, and (b) MOSFET-like CNFET.

تجزیه و تحلیل عملکرد CNTFET در مقایسه با MOSFET

۱) مشخصه انتقال ولتاژ

نسبت pFET/nFET ۱ به ۱

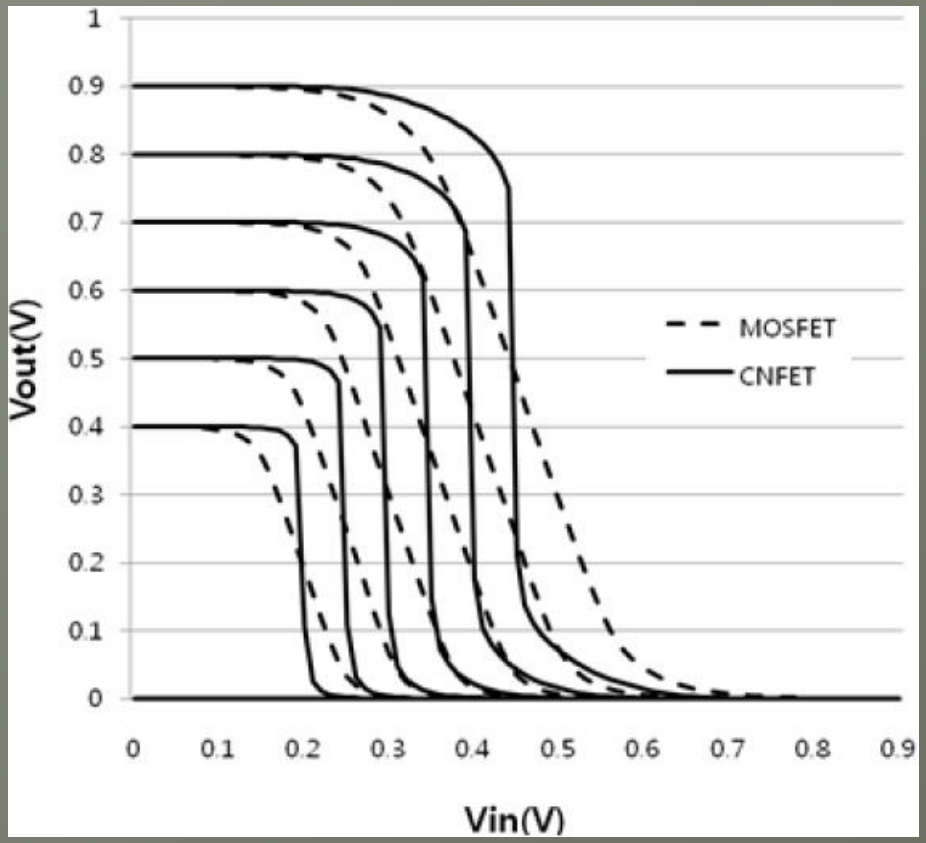
نسبت pMOS/nMOS ۳ به ۱



مشخصه انتقال ولتاژ برای اینورترهای MOSFET و CNTFET ولتاژ تغذیه ۹/۰ ولت

تجزیه و تحلیل عملکرد CNTFET در مقایسه با MOSFET

۱) مشخصه انتقال ولتاژ



مشخصه انتقال ولتاژ برای اینورترهای MOSFET و CNTFET در ولتاژ های تغذیه متفاوت

تجزیه و تحلیل عملکرد CNTFET در مقایسه با MOSFET

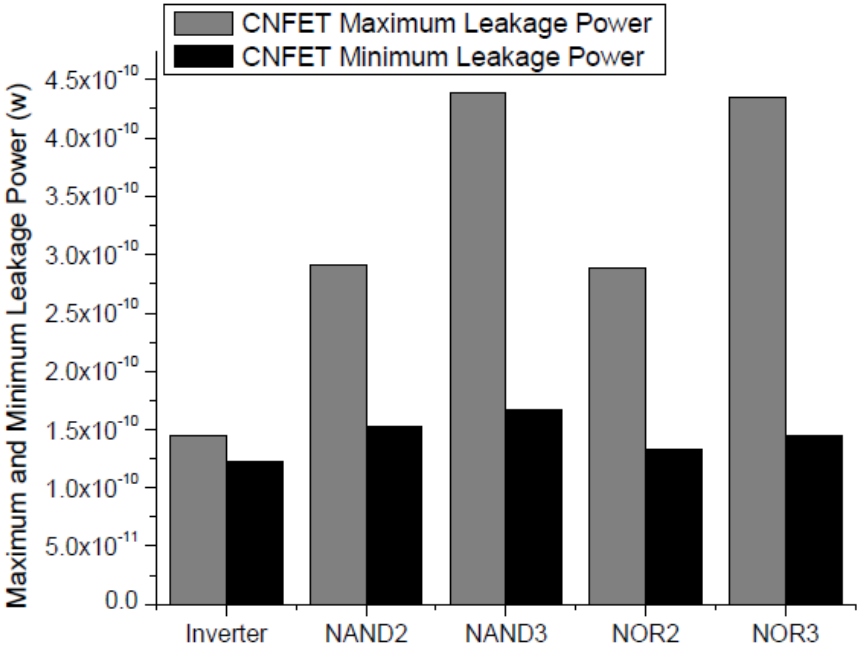
۲) عملکرد مدار گیت های منطقی

Technology	Logic Gate	Delay(sec)	Power(watt)	PDP(joule)
MOSFET	Inverter	1.77E-11	1.39E-06	2.46E-17
	NAND2	2.26E-11	1.96E-06	4.41E-17
	NAND3	2.99E-11	2.77E-06	8.29E-17
	NOR2	3.97E-11	2.58E-06	1.02E-16
	NOR3	6.97E-11	4.04E-06	2.82E-16
CNTFET	Inverter	2.42E-12	1.11E-07	2.69E-19
	NAND2	3.49E-12	1.89E-07	7.41E-19
	NAND3	5.06E-12	2.90E-07	1.47E-18
	NOR2	3.50E-12	1.85E-07	6.48E-19
	NOR3	5.08E-12	2.73E-07	1.39E-18

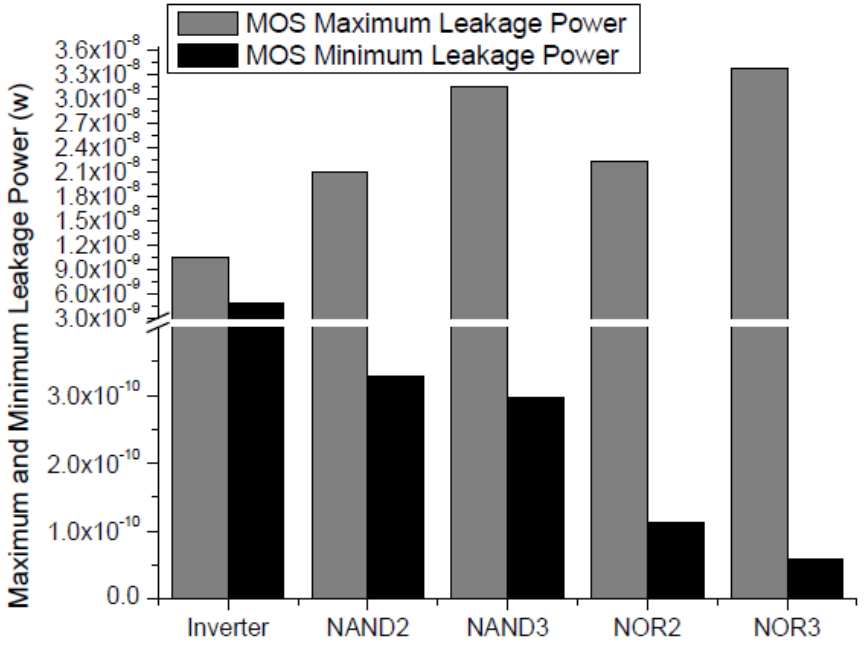
PDP : انرژی سوئیچینگ ، شکلی از انرژی است که انرژی مصرفی در هر سوئچینگ را نشان می دهد

تجزیه و تحلیل عملکرد CNTFET در مقایسه با MOSFET

۲) عملکرد مدار گیت های منطقی



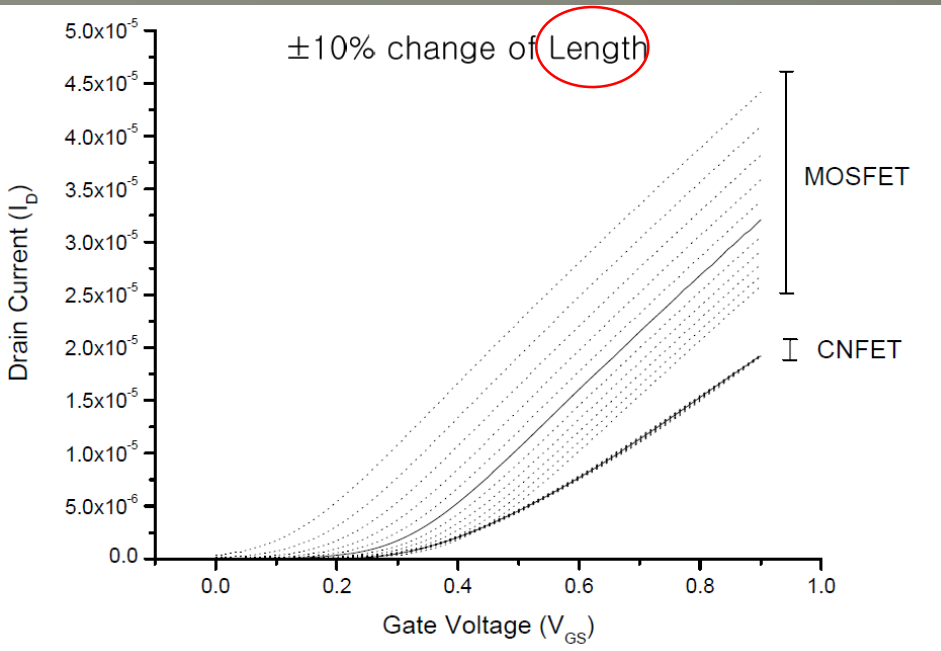
CNTFET

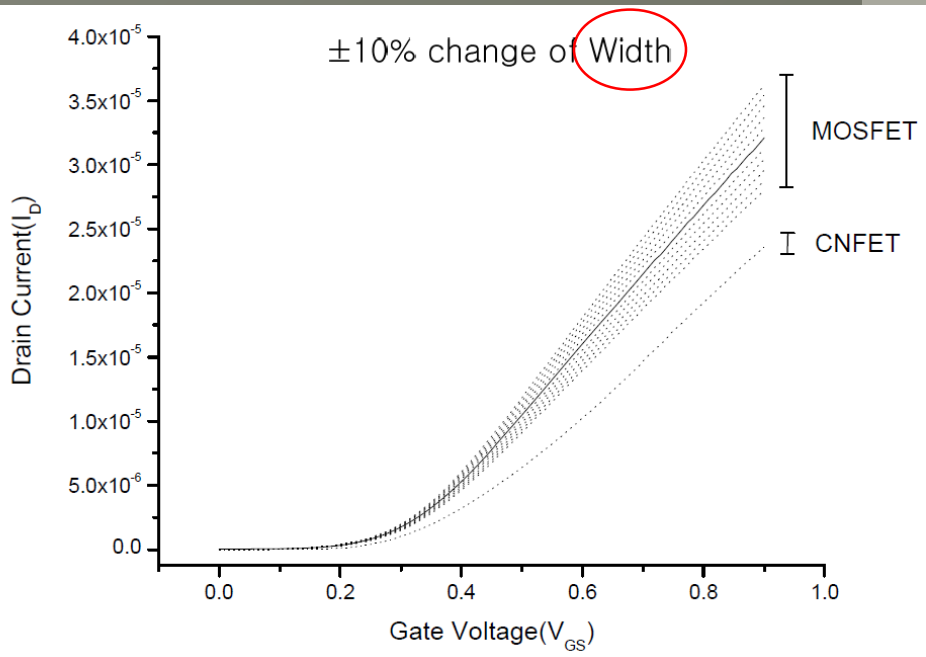


MOSFET

تجزیه و تحلیل عملکرد CNTFET در مقایسه با MOSFET

۳) تاثیر تغییرات طول و عرض گیت و قطر نانو لوله

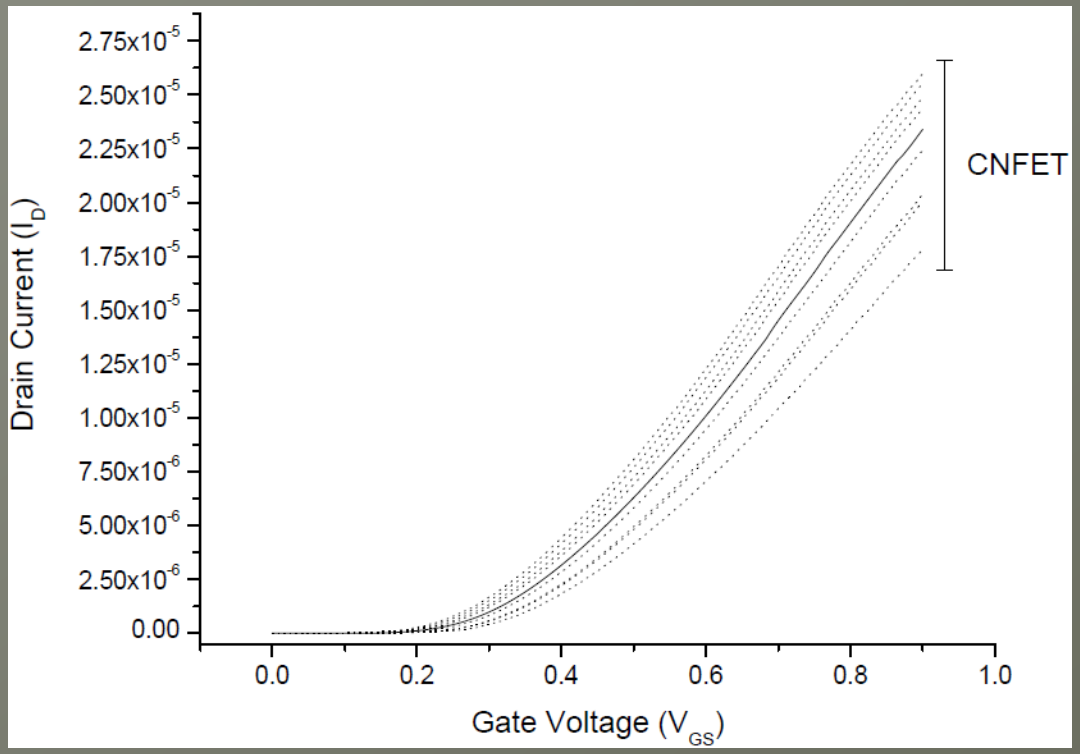




منحنی I_{DS} – V_{GS} با ۱۰٪ تغییر طول و عرض گیت برای MOSFET و CNTFET

تجزیه و تحلیل عملکرد CNTFET در مقایسه با MOSFET

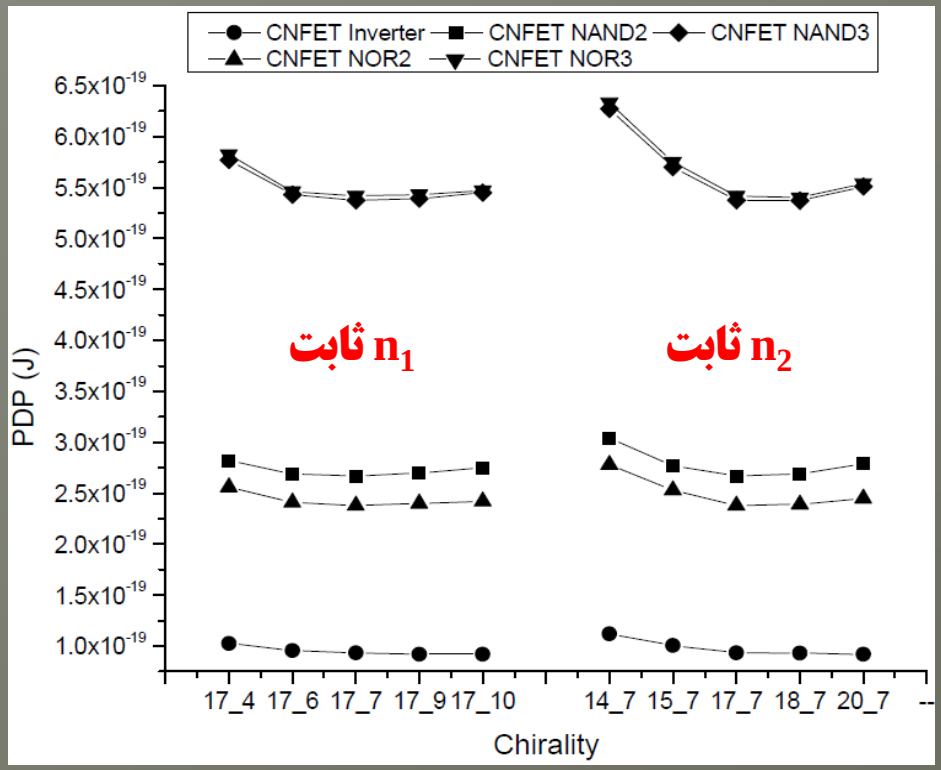
۴) تاثیر تغییرات طول و عرض گیت و قطر نانو لوله



منحنی I_{DS} – V_{GS} با ۱۰٪ تغییر قطر (کایرالیتی) نانو لوله برای CNTFET

تجزیه و تحلیل عملکرد CNTFET در مقایسه با MOSFET

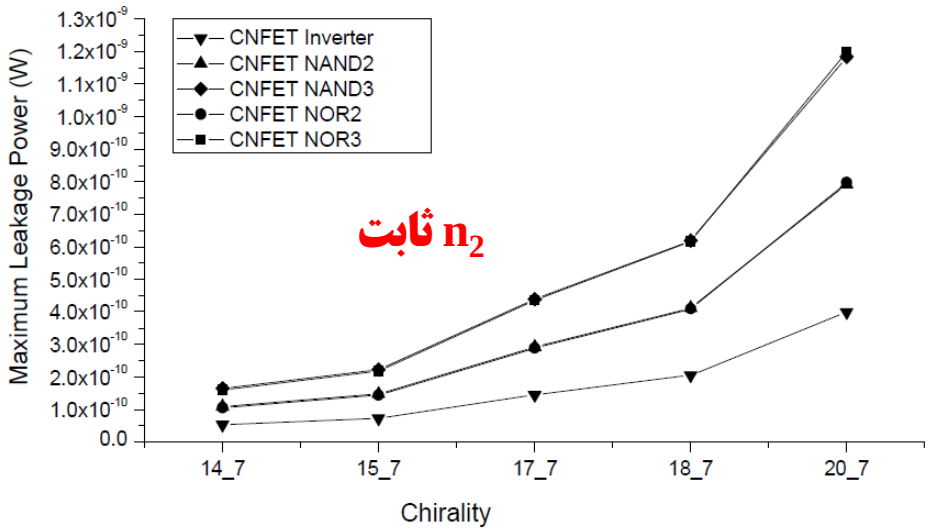
۵) PDP گیت های منطقی مبتنی بر CNTFET با تغییر قطر نانو لوله

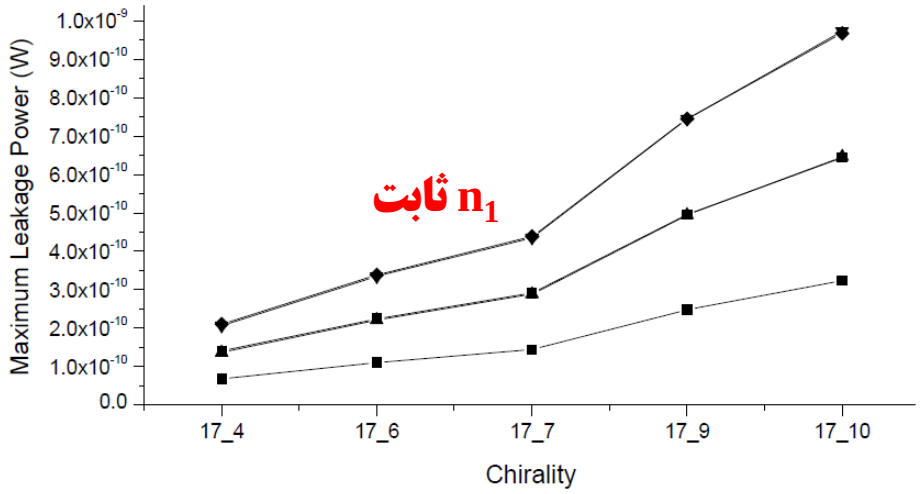


PDP گیت های منطقی مبتنی بر CNTFET بر حسب تغییر قطر (کایرالیتی) نانو لوله کربنی

تجزیه و تحلیل عملکرد CNTFET در مقایسه با MOSFET

۶) ماکزیمم توان نشتی گیت های منطقی مبتنی بر CNTFET با تغییر قطر نانو لوله

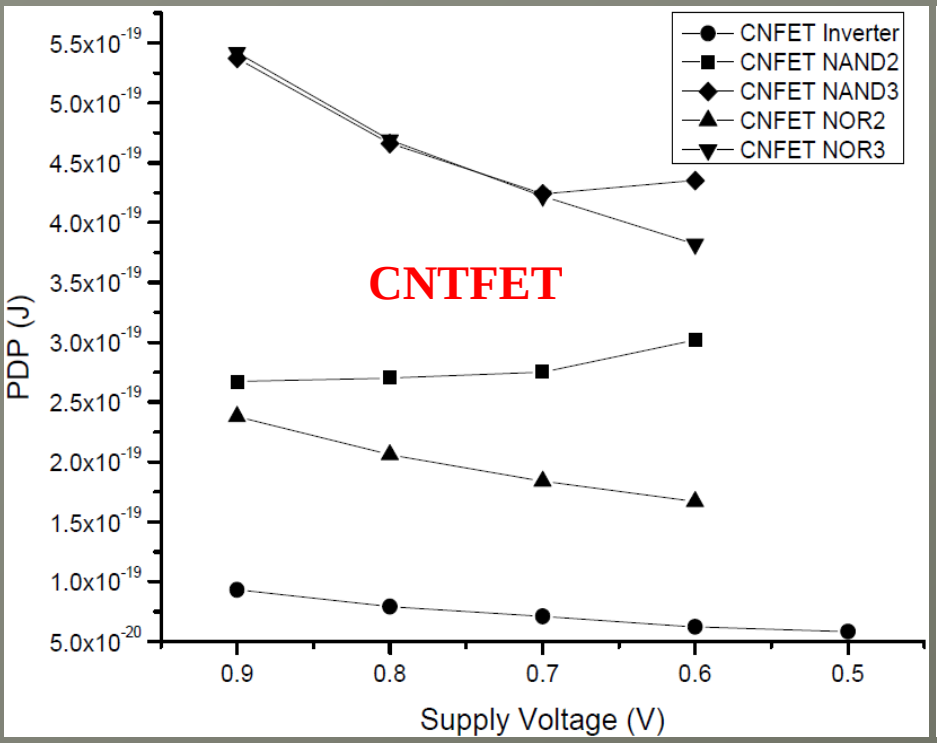


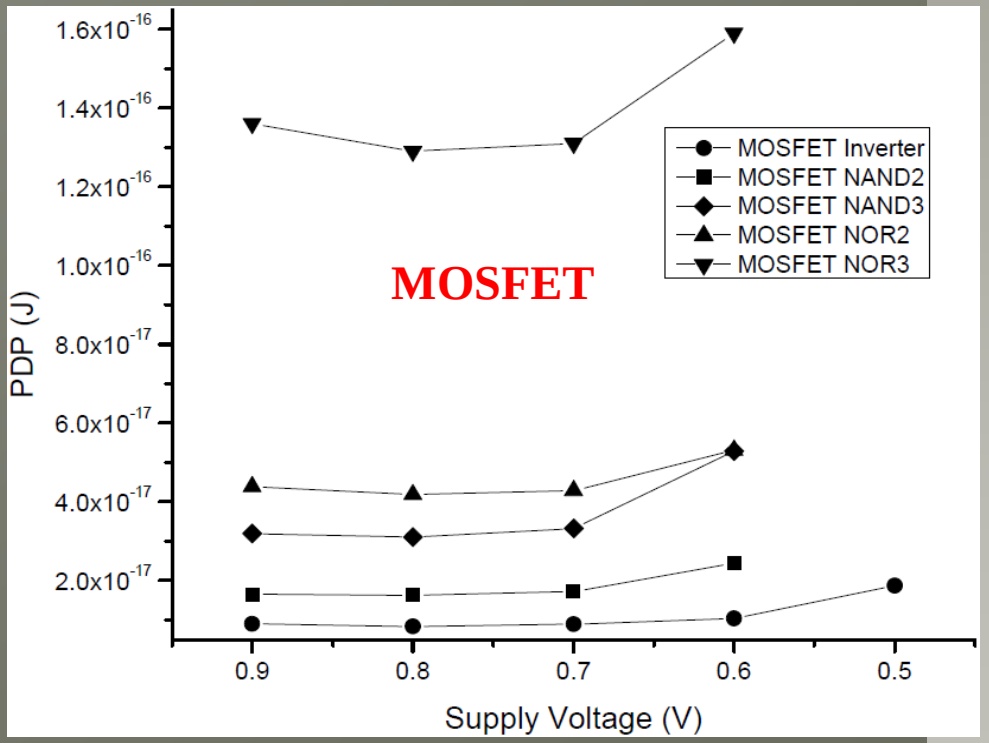


ماکزیمم توان نشتی گیت های منطقی مبتنی بر CNTFET بر حسب تغییر قطر (کایرالیتی) نانو لوله کربنی

تجزیه و تحلیل عملکرد CNTFET در مقایسه با MOSFET

۷) PDP گیت های منطقی مبتنی بر MOSFET و CNTFET با تغییر ولتاژ تغذیه

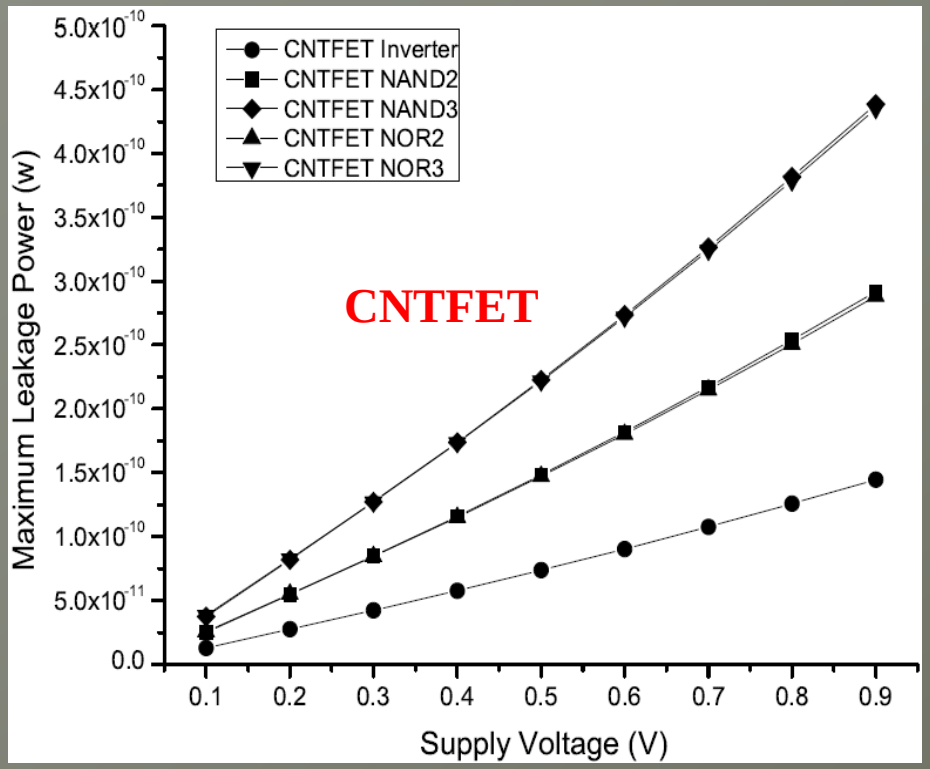


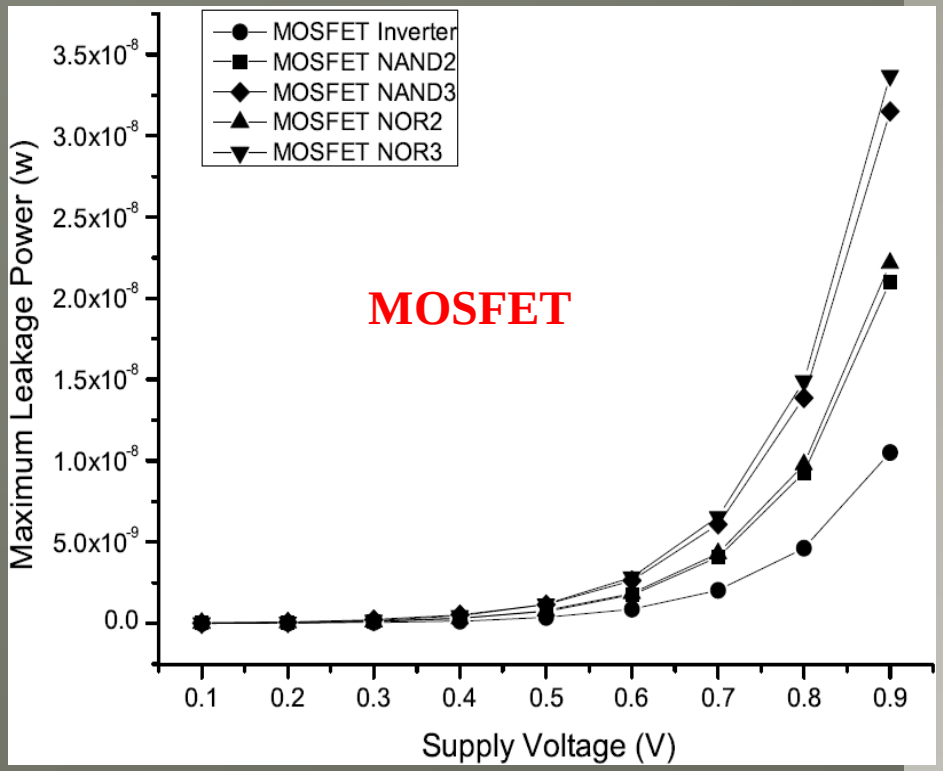


PDP گیت های منطقی مبتنی بر CNTFET و MOSFET بر حسب تغییر ولتاژ تغذیه

تجزیه و تحلیل عملکرد CNTFET در مقایسه با MOSFET

۸) ماکزیمم توان نشتی گیت های منطقی مبتنی بر MOSFET و CNTFET با تغییر ولتاژ تغذیه

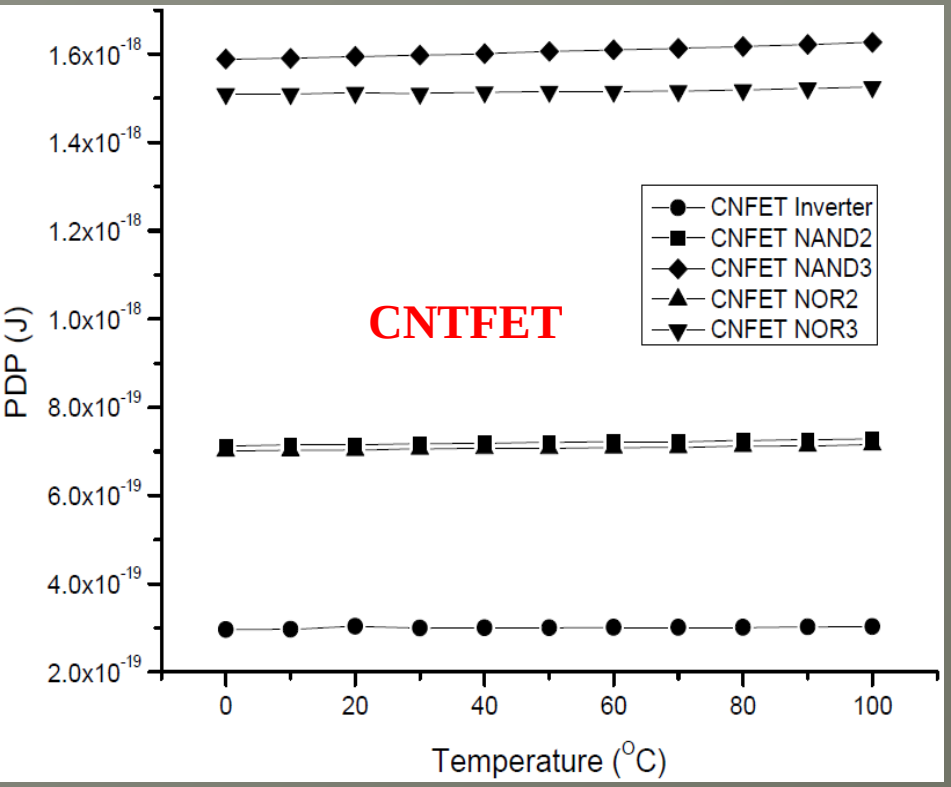


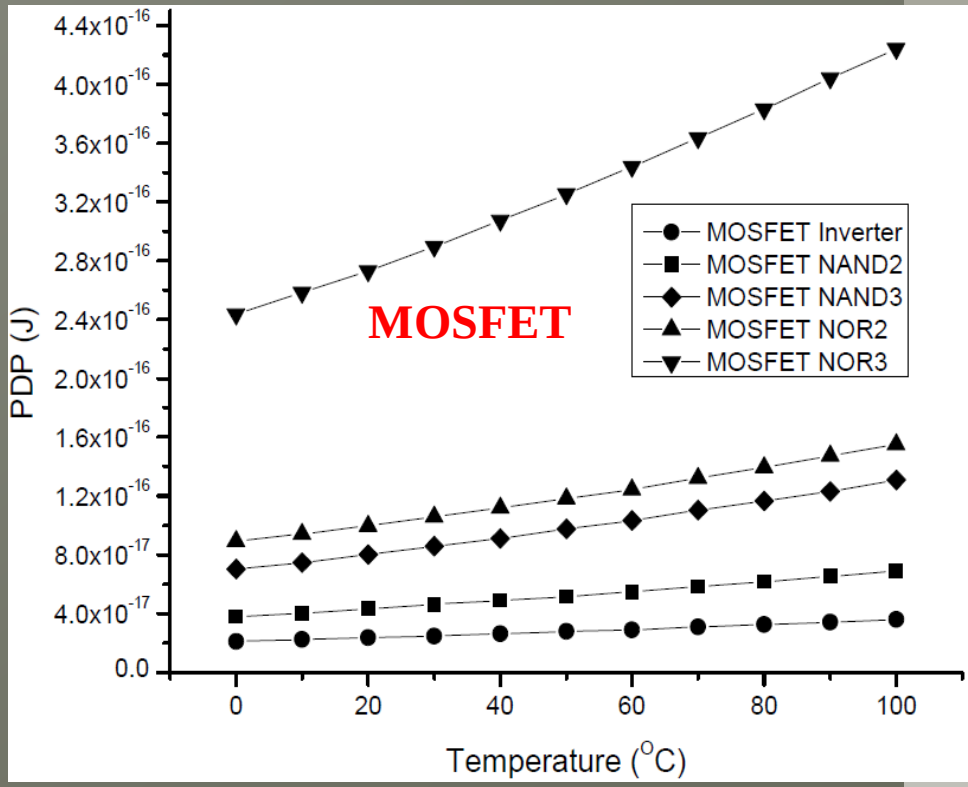


ماکزیمم توان نشتی گیت های منطقی مبتنی بر CNTFET و MOSFET بر حسب تغییر ولتاژ تغذیه

تجزیه و تحلیل عملکرد CNTFET در مقایسه با MOSFET

۹) PDP گیت های منطقی مبتنی بر MOSFET و CNTFET با تغییر دما

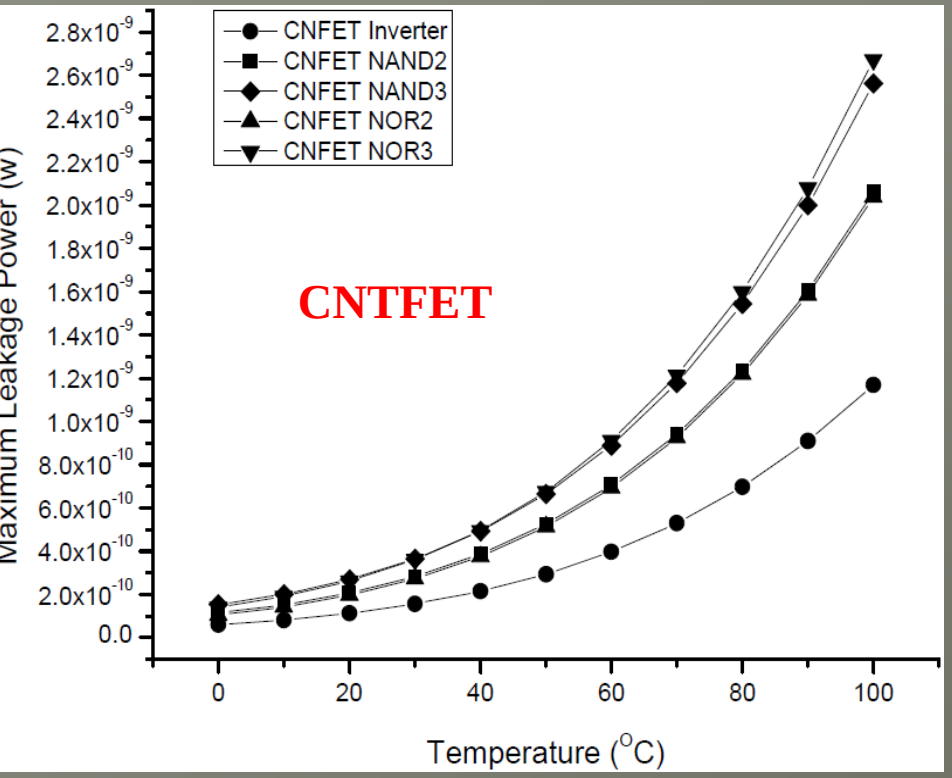


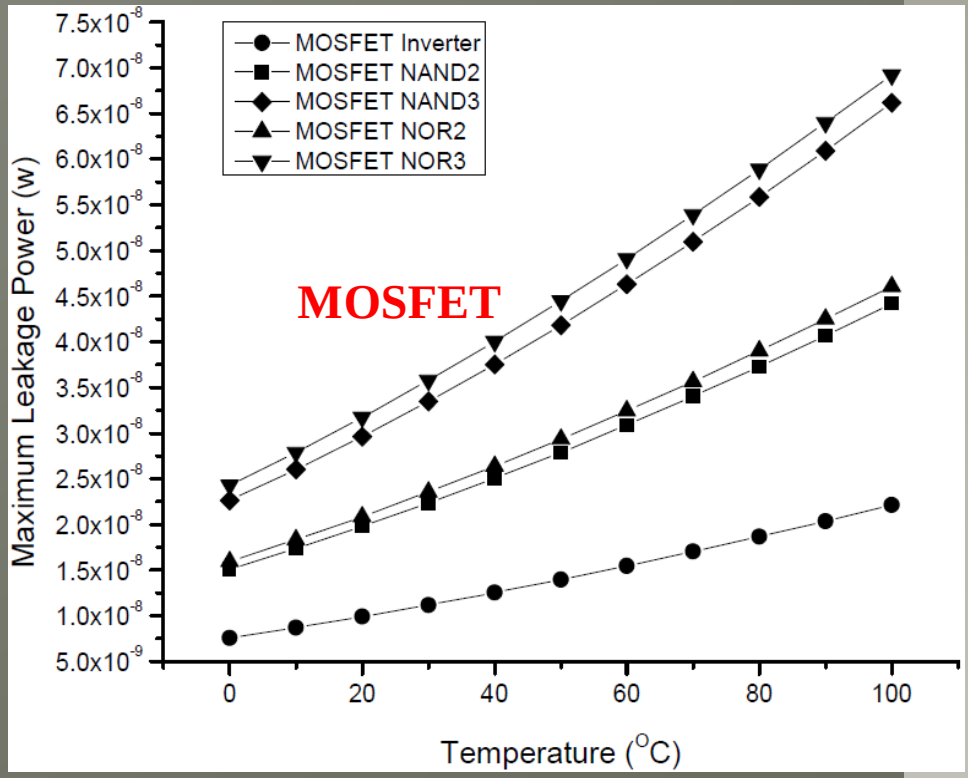


PDP گیت های منطقی مبتنی بر CNTFET و MOSFET بر حسب تغییر دما

تجزیه و تحلیل عملکرد CNTFET در مقایسه با MOSFET

۱۰) ماکزیمم توان نشتی گیت های منطقی مبتنی بر MOSFET و CNTFET با تغییر دما





ماکزیمم توان نشتی گیت های منطقی مبتنی بر CNTFET و MOSFET بر حسب تغییر دما

تجزیه و تحلیل عملکرد CNTFET در مقایسه با MOSFET

۱۱) مدارهای معیار

Technology	Circuit	Delay(sec)	Power(watt)	PDP(joule)
MOSFET	Inverter chain	2.89E-11	9.60E-07	2.77E-17
	2 : 4 Decoder	3.01E-11	7.81E-06	2.35E-16
	4:16 Decoder	5.50E-11	1.03E-05	5.66E-16
	ISCAS-85/C17	3.81E-11	6.97E-06	2.66E-16
	1-bit Full adder	5.19E-11	9.46E-06	4.91E-16
	3-bit Ripple Carry Adder	8.53E-11	2.53E-05	2.16E-15
	ISCAS-85/74182	6.40E-11	9.22E-06	5.90E-16
CNTFET	Inverter chain	4.34E-12	8.16E-08	3.54E-19
	2 : 4 Decoder	4.97E-12	7.30E-07	3.62E-18
	4:16 Decoder	9.65E-12	1.22E-06	1.17E-17
	ISCAS-85/C17	6.85E-12	6.71E-07	4.60E-18
	1-bit Full adder	8.10E-12	9.09E-07	7.36E-18
	3-bit Ripple Carry Adder	1.21E-11	1.30E-06	1.58E-17
	ISCAS-85/74182	7.67E-12	6.20E-07	4.75E-18

مدار های مبتنی بر CNTFET با منطق PTL

۱) منطق ترانزیستور عبوری Pass Transistor Logic

اولاً : مدارهای مبتنی بر CNTFET را به مقدار قابل توجهی ساده سازی می کند،

ثانیاً : سرعت مدار با پتانسیل بالا را افزایش می دهد،

ثالثاً : کاهش قابل توجهی در مصرف توان ایجاد می کند.

به طور مثال ؛ برای طراحی یک تمام جمع کننده (Full Adder) با استفاده از تکنولوژی CMOS معمولی به تعداد ۲۸ عدد ترانزیستور اثر میدان نیاز داریم ، در حالی که برای طراحی همین مدار تمام جمع کننده با استفاده از منطق ترانزیستور عبوری تنها به ۳ جفت ترانزیستور نوع n (n-FET) و نوع p (p-FET) نیاز داریم.

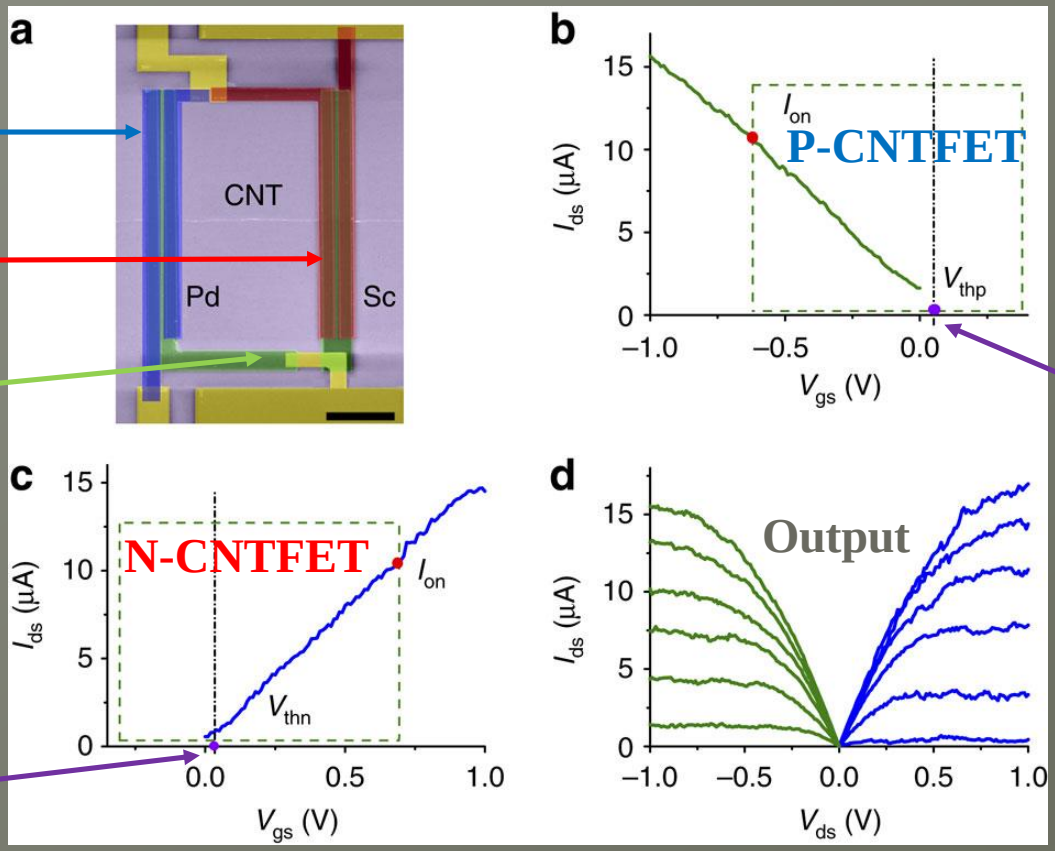
مدار های مبتنی بر CNTFET با منطق PTL

۲) نحوه ساخت CNTFET نوع n و p برای استفاده در منطق PTL

P-CNTFET

N-CNTFET

Gate

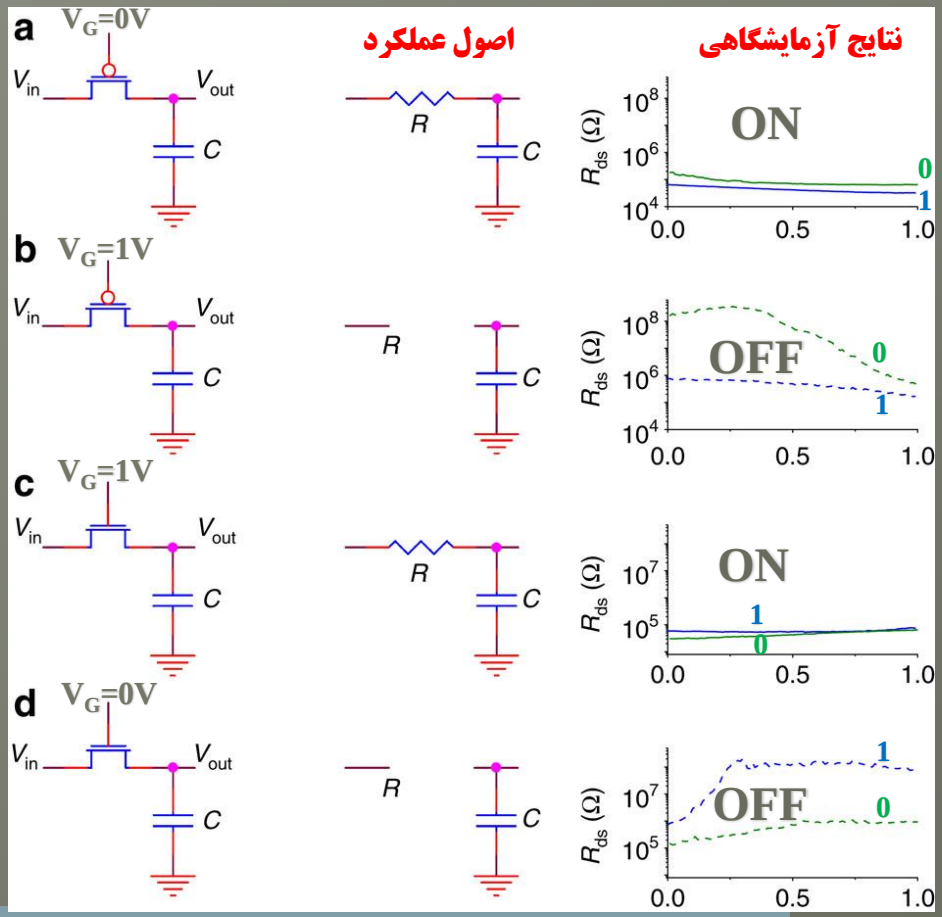


ولتاژ آستانه

ولتاژ آستانه

مدار های مبتنی بر CNTFET با منطق PTL

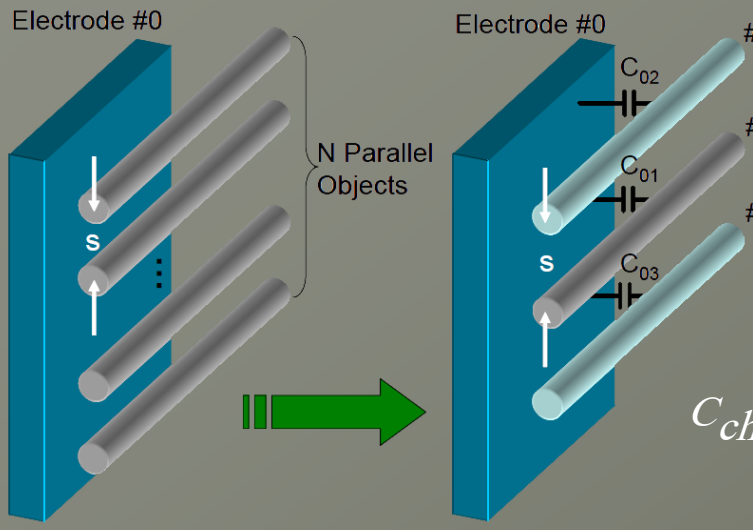
۳) اصول عملکرد مدارهای مبتنی بر CNTFET با منطق PTL



روش بهینه سازی مدار های مبتنی بر CNTFET

۱) تعیین پارامترهای تکنولوژی CNTFET

الف) خازن گیت و کانال



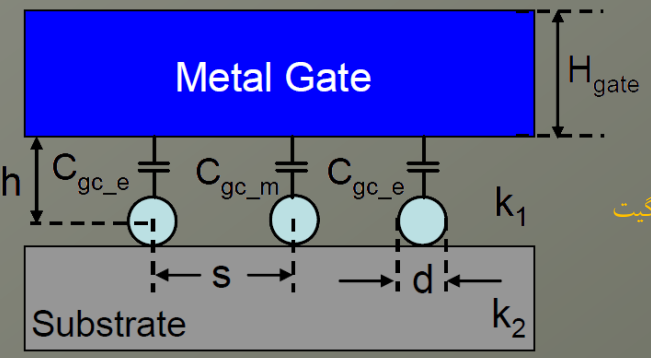
با استفاده از اصل برهم نهی

$$C_{01}=\frac{Q_1}{V_1}=\frac{Q_1}{V_0+V_{adj}}$$

اختلاف پتانسیل بین الکترود و نانو لوله ۱

$$C_{ch}=\begin{cases} C_{gc_e} & : N=1 \\ 2C_{gc_e} & : N=2 \\ (\eta(N-2)+2)C_{gc_e} & : N>2 \end{cases}$$

$$\eta_1=\frac{C_{02}}{C_{01}} \quad , \quad \eta_2=\frac{C_{03}}{C_{02}}$$



$$C_{gc,tot,CNT} \approx N \cdot C_{gc,CNT} \cdot L_g = \{\eta(N-2)+2\} \cdot C_{gc_e,CNT}$$

$$C_{fr,tot,CNT} \approx C_{fr,CNT} \cdot L_g$$

$$C_{gtg,tot,CNT} = C_{gtg} \cdot W_g$$

خازن حاشیه خارجی گیت

$$C_{Gate,CNT} \approx \{\eta(N-2)+2\} \cdot C_{gc_e,CNT} + C_{gtg} \cdot W_g$$

روش بهینه سازی مدار های مبتنی بر CNTFET

۱) تعیین پارامترهای تکنولوژی CNTFET

ب) اندازه CNTFET

توسط عرض گیت تعیین می شود ⟵

$$W_g = Max\,(\,W_{min},\, N\,.\,pitch\,)$$

ج) ولتاژ آستانه CNTFET

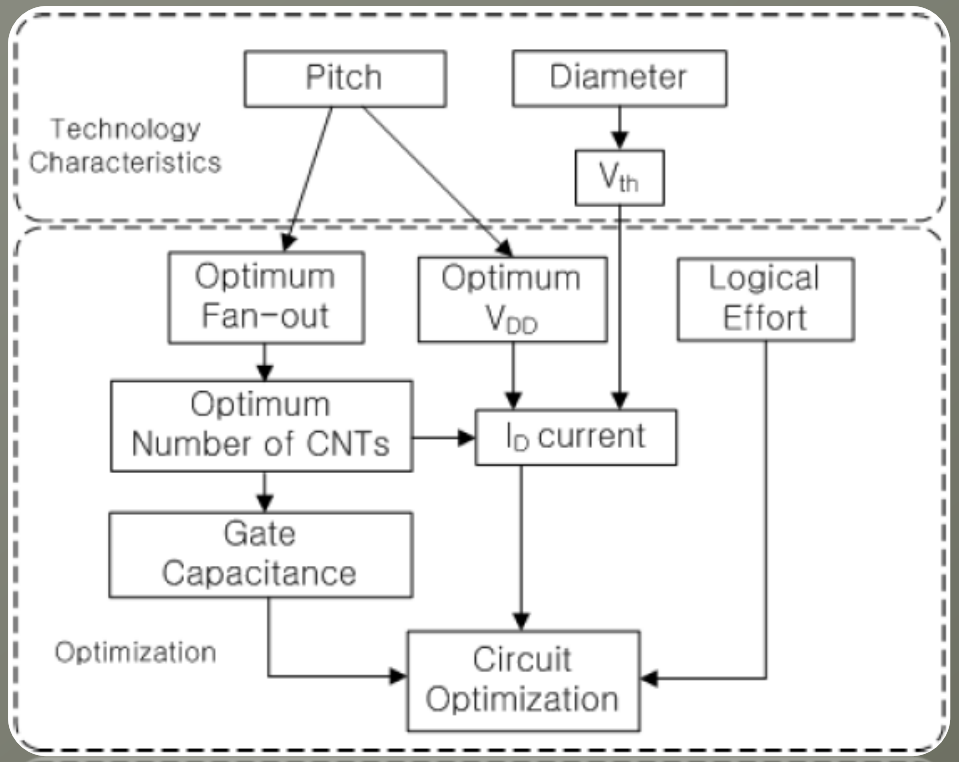
انرژی پیوند $\pi-\pi$ کربن (۳/۰۳۳ الکترون ولت)

$$V_{th} \approx \frac{E_g}{2e} = \frac{\sqrt{3}}{3}\,\frac{aV_\pi}{eD_{CNT}}$$

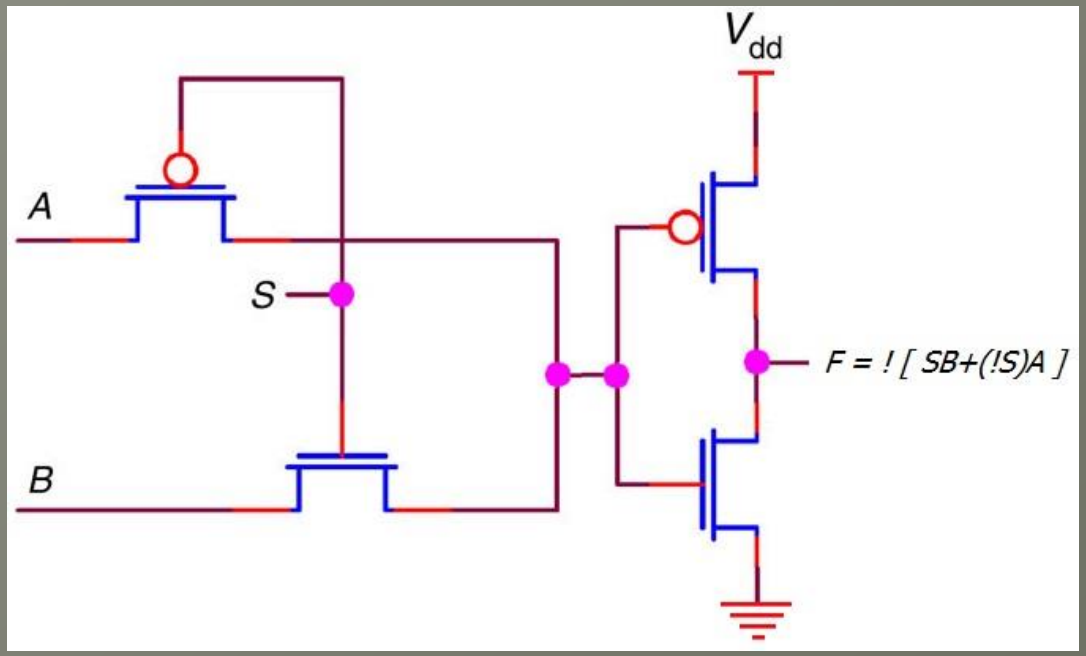
قطر نانو لوله

روش بهینه سازی مدار های مبتنی بر CNTFET

۲) بهینه سازی عملکرد مدار

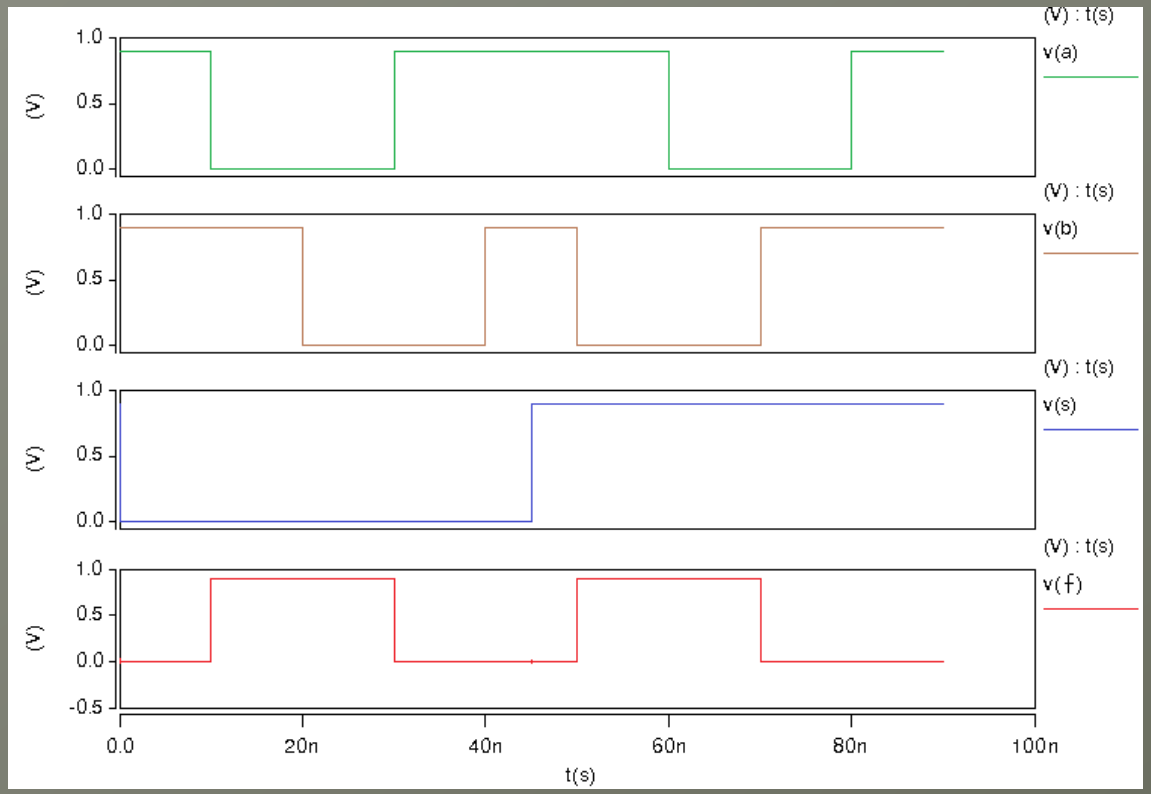


پیاده سازی مدار مالتی پلکسر مبتنی بر CNTFET با منطق PTL

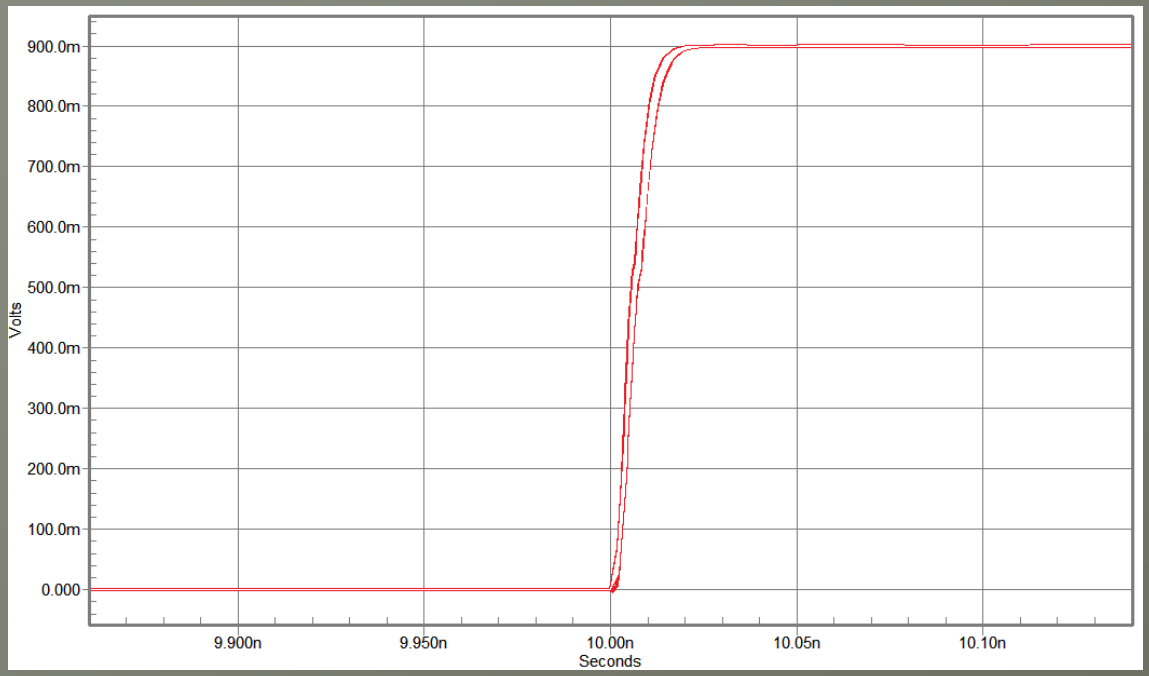


S	0	0	0	0	1	1	1	1
A	0	0	1	1	0	0	1	1
B	0	1	0	1	0	1	0	1
F	1	1	0	0	1	0	1	0

شکل موج ورودی / خروجی مدار مالتی پلکسر



شکل موج ورودی / خروجی مدار مالتی پلکسر



یک لبه بالا رونده از شکل موج خروجی مدار مالتی پلکسر

تاخیر زمانی مدار مالتی پلکسر

تاخیر زمانی (Delay) : عبارت است از ماکزیمم زمان ورود ۵۰٪ از ورودی تا خروج ۵۰٪ از خروجی.

زمان صعودی (Rise time) : زمان لازم برای افزایش یک شکل موج از ۱۰٪ تا ۹۰٪ نسبت به حالت پایدار آن.

زمان نزولی (Fall time) : زمان لازم برای کاهش یک شکل موج از ۹۰٪ تا ۱۰٪ نسبت به حالت پایدار آن.

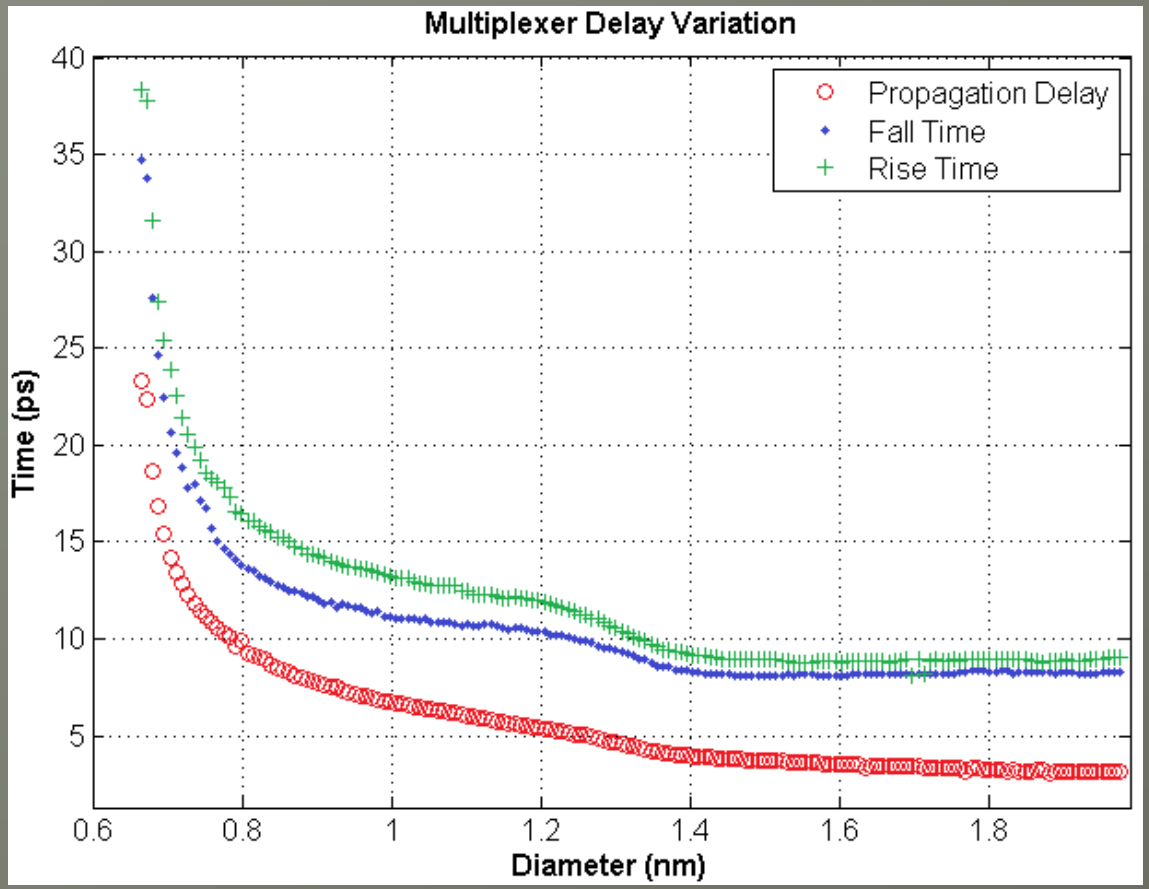
تاخیر زمانی مدار مالتی پلکسر

ΔTa (پیکو ثانیه)	بیشترین تاخیر (پیکو ثانیه)	کمترین تاخیر (پیکو ثانیه)	میانگین تاخیرTa (پیکو ثانیه)	میزان انحراف استاندارد (نانومتر)	میانگین قطر (نانومتر)
۱۱/۹۶	۲۶/۱۷	۱٤/۲۱	۱۸/۹۲	۰/۰٤	۱/۰۱
۱۲٤/٦۳	۱۳۲/۹	۸/۲۷	۲۰/٤٥	۰/۱۲	
۱٤۱/۳۳	۱٤۸	٦/۷۷	۲۳/۷۱	۰/۲	
۸/٤۲	۱۸/۳٦	۹/۹٤	۱٤/۱	۰/۰٤	۱/۲
۳۲/٤٥	۳۹/٤۹	۷/۰٤	۱٤/۱۳	۰/۱۲	
۱٤۲/۸٤	۱٤۹/۳	٦/٤٦	۱٥/۲۸	۰/۲	
٤/٦٤	۱۲/۷۱	۸/۰۷	۹/٥٥	۰/۰٤	۱/٤
۱٤/۳٤	۲۰/۷٤	٦/٤	۱۰/۱	۰/۱۲	
۸۸/۹۹	۹٥/٦۱	٦/٦۲	۱۰/۸٥	۰/۲	
۳/۱۹	۱۰/۹٥	۷/۷٦	۸/٥۷	۰/۰٤	۱/٥
۱۰/۹۳	۱۷/۳٦	٦/٤۳	۸/۹	۰/۱۲	
۳۲/٥۱	۳۸/۸۳	٦/۳۲	۹/٤	۰/۲	
۱/۷۳	۸/۲۲	٦/٤۹	۷/۳۷	۰/۰٤	۱/۷۱
٦/۲	۱۲/٥۲	٦/۳۲	۷/٤۱	۰/۱۲	
۱۳/٥٦	۱۹/۸۸	٦/۳۲	۷/۷٤	۰/۲	

تاخیر زمانی مدار مالتی پلکسر

ΔTd (پیکو ثانیه)	کمترین زمان Rise/Fall (پیکو ثانیه)	بیشترین زمان Rise/Fall (پیکو ثانیه)	میزان انحراف استاندارد (نانومتر)	میانگین قطر (نانومتر)
۱۸/۳۳	۲۷/۶۸	٤٦/۰۱	۰/۰٤	۱/۰۱
۲۰٤/۳۵	۱۷/۱۵	۲۲۱/۵	۰/۱۲	
۲۳۵/۸۲	۱٦/۲۸	۲۵۲/۱	۰/۲	
۱۵/۸۹	۱۹/۸۸	۳۵/۷۷	۰/۰٤	۱/۲
٤٦/۹۳	۱٦/۵۸	٦۳/۵۱	۰/۱۲	
۲۲۸/٤٦	۱٦/۰٤	۲۲٤/۲	۰/۲	
۹/۷۲	۱۷/۲۳	۲٦/۹۵	۰/۰٤	۱/٤
۲۲/۸۸	۱۵/۹۷	۳۸/۸۵	۰/۱۲	
۱٤۳/٦٦	۱٦/۰٤	۱۵۹/۷	۰/۲	
٦/۲۷	۱٦/۹٤	۲۳/۲۱	۰/۰٤	۱/۵
۱۷/۸۳	۱٦	۳۳/۸۳	۰/۱۲	
٤٦/۳۲	۱۵/۹٤	٦۲/۲٦	۰/۲	
۱/۳۷	۱۷/۹۹	۱۹/۳٦	۰/۰٤	۱/۷۱
۱۰/۹۵	۱۵/۹٤	۲٦/۸۹	۰/۱۲	
۲۲/۰۳	۱۵/۹٤	۳۷/۹۷	۰/۲	

تاخیر زمانی مدار مالتی پلکسر

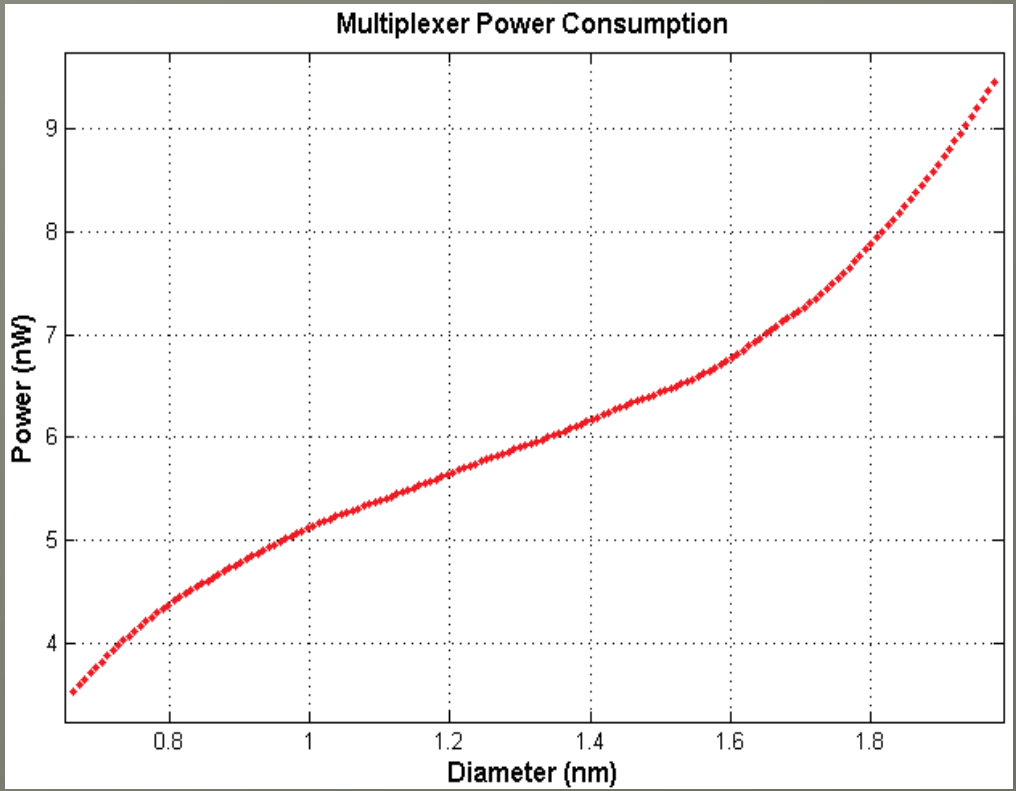


رفتار زمانی مدار مالتی پلکسر شبیه سازی شده برحسب تغییرات قطر نانو لوله

توان مالتی پلکسر

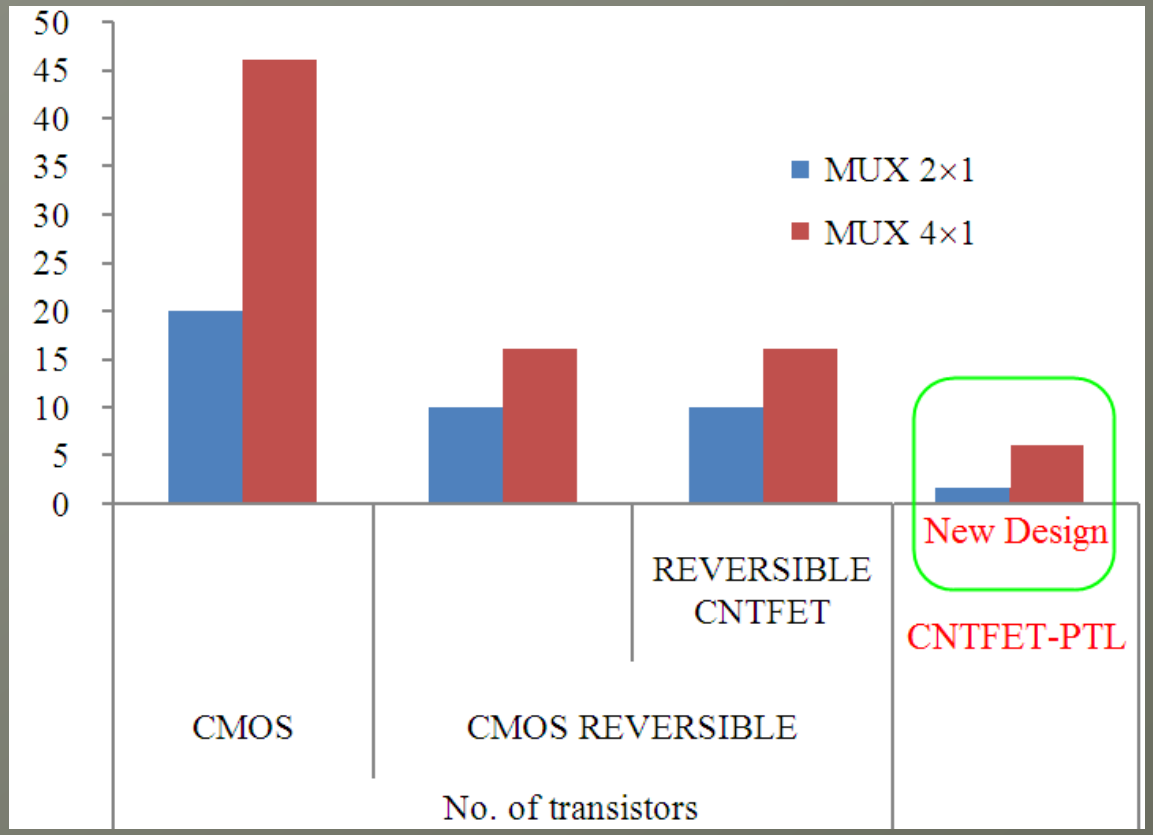
تغییرات PDP ($\times 10^{-20}$J)	PDP ($\times 10^{-20}$J)	ΔP (نانو وات)	بیشترین توان (نانو وات)	کمترین توان (نانو وات)	میانگین توان (نانو وات)	میزان انحراف استاندارد (نانومتر)	میانگین قطر (نانومتر)
۱۷/٤٦	۹۷/۲۵	۱/٤٦	٦/۰٦	٤/۵۹	۵/۱٤	۰/۰٤	۱/۰۱
۱۹۳/۱۸	۱۰۵/۳۲	۱/۵۵	٦/۰۵	٤/۵۰۵	۵/۱۵	۰/۱۲	
٤۸۱/۹٤	۱۲۲/۱۱	۳/٤۱	۷/۷۸	٤/۳۷	۵/۱۵	۰/۲	
۲/۷۸	۷۹/٦۷	۰/۳۳	۵/۵٤	۵/۸۷	۵/٦۵	۰/۰٤	۱/۲
۹۸/۳۲	۸۰/۱۲	۳/۰۳	٦/۹۸	۳/۹۵	۵/٦۷	۰/۱۲	
۵۸٤/۲۲	۸۷/۲۵	٤/۰۹	۸/۲۳	٤/۱۳	۵/۷۱	۰/۲	
٤/۰۸۳	۵۸/۹۲	۰/۸۸	٦/۸۳	۵/۹۵	٦/۱۷	۰/۰٤	۱/٤
٤۹/۹	٦۲/٦۲	۳/٤۸	۸/۸۱	۵/۳۳	٦/۲	۰/۱۲	
۳۲۸/۳۷	٦۸/۱٤	۳/٦۹	۹/۱٤	۵/٤۵	٦/۲۸	۰/۲	
۲/۷۱	۵۵/۳٦	۰/۸۵	۷/۰۳	٦/۱۸	٦/٤٦	۰/۰٤	۱/۵
۳۵/۷٤	۵۷/۹٤	۳/۲۷	۸/۷۵	۵/٤۷	٦/۵۱	۰/۱۲	
۱۱٤/٤٤	٦۲/٤۲	۳/۵۲	۹/۲۱	۵/۷	٦/٦٤	۰/۲	
۵/۷۸	۵۳/۸۷	۳/۳٤	۸/٤۸	۵/۱٤	۷/۳۱	۰/۰٤	۱/۷۱
۳۰/۳۲	۵٤/۹۱	٤/۸۹	۱۱/۱٦	٦/۲۷	۷/٤۱	۰/۱۲	
٤۹/۹	۵٦/۹۷	۳/٦۸	۹/۳۲	۵/٦٤	۷/۳٦	۰/۲	

توان مالتی پلکسر



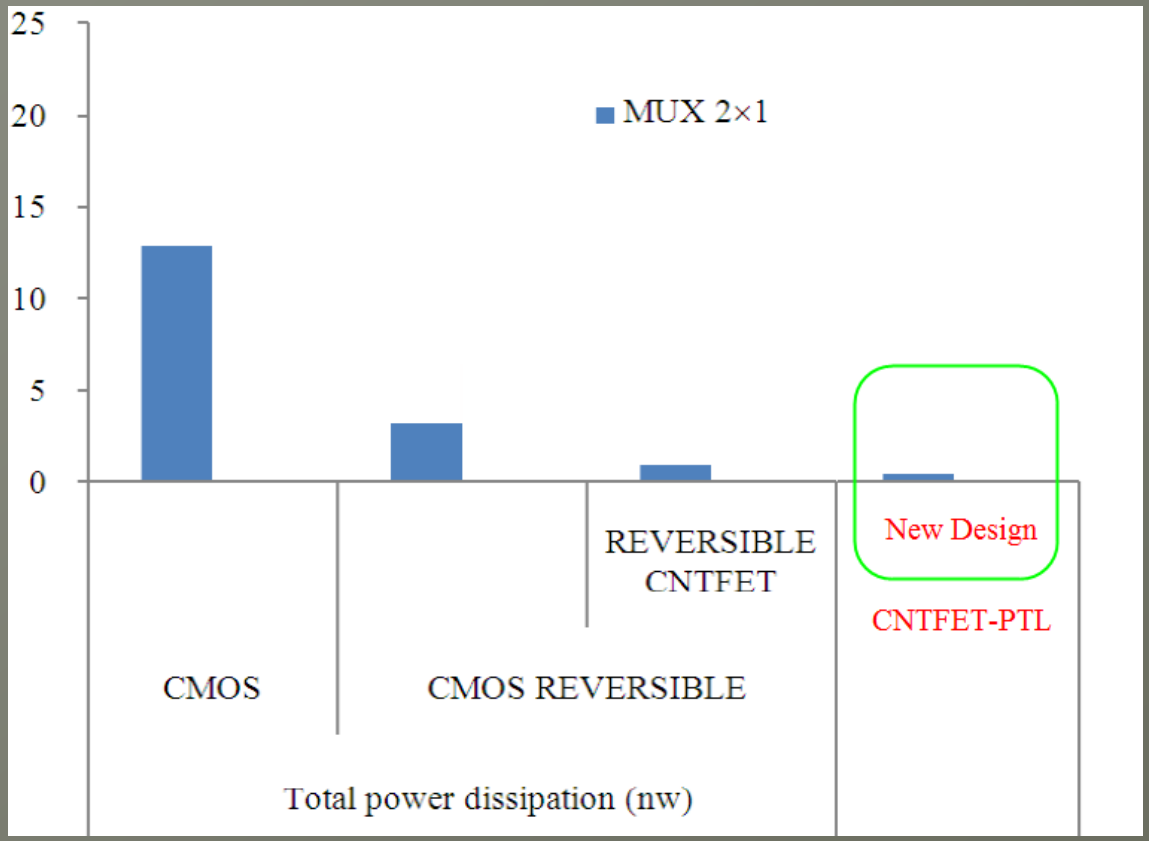
مقایسه با کارهای مشابه

از لحاظ تعداد ترانزیستور



مقایسه با کارهای مشابه

از لحاظ اتلاف توان



نتیجه گیری کلی

- با توجه به بررسی منابع مختلف مشاهده شد که تغییر قطر نانو لوله های کربنی می تواند بیشترین تاثیر را در نحوه عملکرد مدارهای مبتنی بر CNTFET داشته باشد. از این رو بررسی های صورت گرفته بیشتر معطوف به تغییر خواسته و یا ناخواسته قطر نانو لوله های CNTFET بودند. علاوه بر این مطالعات صورت گرفته به منظور بررسی رفتار یک مدار مالتی پلکسر با یک آرایش خاص بود که به وسیله آن می توان در آینده شاهد کاهش شدید تعداد ترانزیستورها ، ابعاد و افزایش سرعت مدارات مجتمع بود.
- نتایج کمی بدست آمده ، تایید کردند که تکنولوژی CNTFET یک راه حل مناسب برای جایگزینی تکنولوژی MOSFET معمولی است
- همچنین نشان داده شد که با ترکیب کردن مزایای منطق PTL و خواص فوق العاده CNTFET ها ، مشکل افت ولتاژ آستانه که در منطق PTL مبتنی بر MOSFET های سیلیکونی ایجاد می شد را به طور چشمگیری می توان از بین برد.
- نتایج حاصل از شبیه سازی مدار مالتی پلکسر مبتنی بر CNTFET با منطق PTL نشان دادند که طراحی ارائه شده هم موثر و هم عملی است.

پیشنهادات

همانطور که مشاهده شد طراحی مدار ارائه شده برای یک مالتی پلکسر در فصل آخر این پایان نامه دارای تعداد بسیار پایین ترانزیستور می باشد ، که آن به این دلیل است که ورودی های پالسی یا همان ورودی های منطقی به گیت فِت مربوطه (CNTFET) اعمال نشده و به پایه های دیگر اعمال می شود و همچنین از آنجا که کاهش تعداد ترانزیستورها و به تبع آن کاهش مسیرهای انتقال داده و کاهش ابعاد در مدارات مجتمع از جمله IC ها و FPGA ها و ... همیشه از مهمترین چالش ها در صنعت الکترونیک می باشند ، به همین سبب پیشنهاد می شود از سبک طراحی ، ارائه شده در پیکربندی مدارات پیچیده تر استفاده شود

با تشکر از توجه شما